

## 第八章 CPU 的结构和功能

作业：P370 8.2、8.3、8.5、8.11、8.24、8.25、8.26、8.27、8.28

### 8.2 什么是指令周期？指令周期是否有一个固定值？为什么？

解：

指令周期：CPU 每取出并执行一条指令所需的全部时间。

没有。不同的指令其执行周期的时间可能不同，不同的指令是否存在间址周期也可能不同。

### 8.3 画出指令周期的流程图，分别说明图中每个子周期的作用。

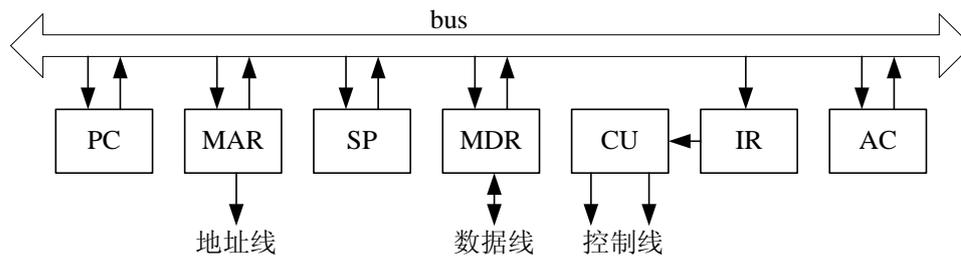
### 8.4 设 CPU 内有下列部件：PC、IR、SP、AC、MAR、MDR 和 CU。

(1) 画出完成间接寻址的取数指令 LDA@X（将主存某地址单元 X 的内容取至 AC 中）的数据流（从取指令开始）。

(2) 画出中断周期的数据流。

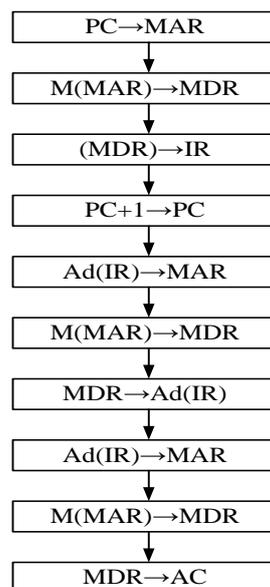
解：CPU 中的数据流向与所采用的数据通路结构直接相关，不同的数据通路中的数据流是不一样的。常用的数据通路结构方式有直接连线、单总线、双总线、三总线等形式，目前大多采用总线结构，直接连线方式仅适用于结构特别简单的机器中。

为简单起见，本题采用单总线将题中所给部件连接起来，框图如下：

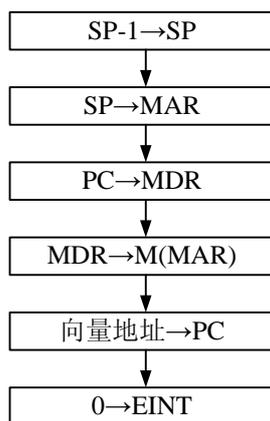


(1)

LDA@X 指令周期数据流程图：



(2) 中断周期流程图如下：



**注：**解这道题有两个要素，首先要根据所给部件设计好数据通路，即确定信息流动的载体。其次选择好描述数据流的方法，无论采用什么样的表达方式，其关键都要能清楚地反映数据在通路上流动的顺序，即强调一个“流”字。较好的表达方式是流程图的形式。

### 8.5 中断周期前是什么阶段？中断周期后又是什么阶段？在中断周期 CPU 应完成什么操作？

解：

中断周期前是指令的执行周期。

中断周期后是下一条指令的取指周期。

在中断周期 CPU 应完成的操作有：假设使用向下生长的堆栈保护断点

(SP) -1 → SP

(SP) → MAR

1 → W

(PC) → MDR

向量地址 → PC

0 → EINT (关中断)

### 8.7 什么叫系统的并行性？粗粒度并行和细粒度并行有何区别？

答：

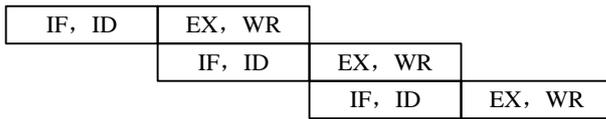
所谓并行性包含同时性和并发性。同时性是指两个或两个以上的事件在同一时刻发生，并发性是指两个或多个事件在同一时间段发生。即在同一时刻或同一时间段内完成两个或两个以上性质相同或性质不同的功能，只要在时间上存在相互重叠，就存在并行性。

并行性又分为粗粒度并行和细粒度并行两类。粗粒度并行是指在多个处理机上分别运行多个进程，由多台处理机合作完成一个程序，一般用算法实现。细粒度并行是指在处理机的指令级和操作级的并行性。

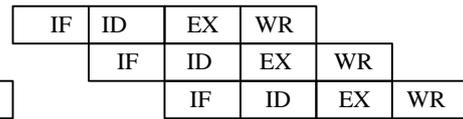
### 8.8 什么是指令流水？画出指令二级流水和四级流水的示意图，它们中哪个更能提高处理机速度，为什么？

答：指令流水是指将一条指令的执行过程分为 n 个操作时间大致相等的阶段，每个阶段由一个独立的功能部件来完成，这样 n 个部件就可以同时执行 n 条指令的不同阶段，从而大大提高 CPU 的吞吐率。

指令二级流水和四级流水示意图如下：



二级指令流水示意图



四级指令流水示意图

四级流水更能提高处理机的速度。分析如下：

假设 IF、ID、EX、WR 每个阶段耗时为  $t$ ，则连续执行  $n$  条指令

采用二级流水线时，耗时为： $4t+(n-1)2t=(2n+2)t$

采用四级流水线时，耗时为： $4t+(n-1)t=(n+3)t$

在  $n>1$  时， $n+3<2n+2$ ，可见四级流水线耗时比二级流水线耗时短，因此更能提高处理机速度。

8.11 今有 4 级流水线，分别完成取指 (IF)、译码并取数 (ID)、执行 (EX)、写结果 (WR) 四个步骤。

假设完成各步操作的时间依次为 90ns、90ns、60ns、45ns。

- (1) 流水线的时钟周期应取何值？
- (2) 若相邻的指令发生数据相关，那么第 2 条指令安排推迟多少时间才能不发生错误？
- (3) 若相邻的两指令发生数据相关，为了不推迟第 2 条指令得执行，可采取什么措施？

解：

8.17 在中断系统中 INTR、INT、EINT 三个触发器各有何作用？

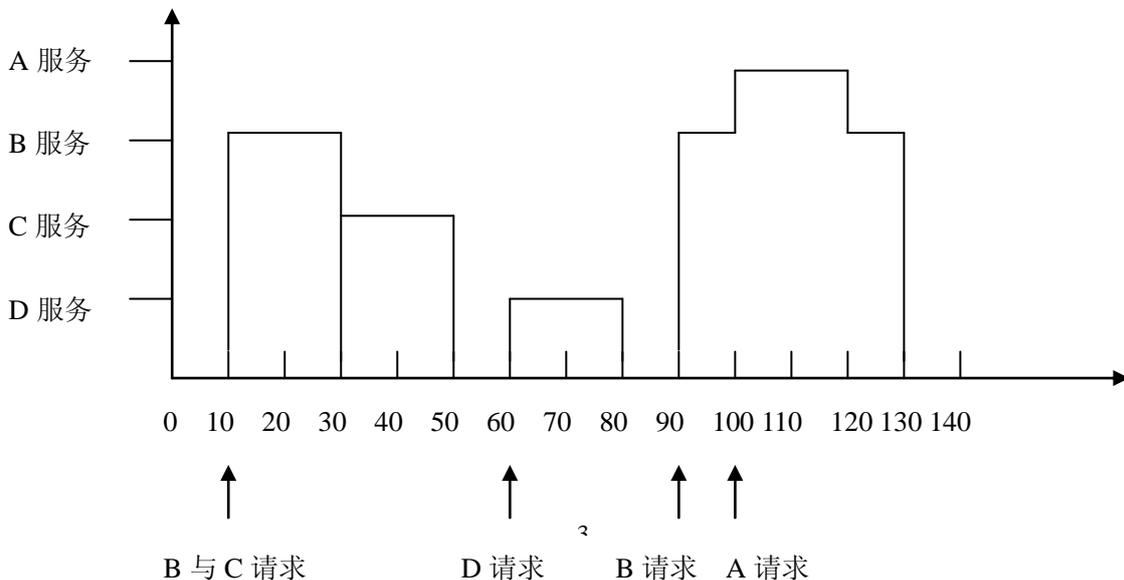
解：INTR——中断请求触发器，用来登记中断源发出的随机性中断请求信号，以便为 CPU 查询中断及中断排队判优线路提供稳定的中断请求信号。

EINT——中断允许触发器，CPU 中的中断总开关。当  $EINT=1$  时，表示允许中断（开中断），当  $EINT=0$  时，表示禁止中断（关中断）。其状态可由开、关中断等指令设置。

INT——中断标记触发器，控制器时序系统中周期状态分配电路的一部分，表示中断周期标记。当  $INT=1$  时，进入中断周期，执行中断隐指令的操作。

8.24 现有 A、B、C、D 四个中断源，其优先级由高到低按 A、B、C、D 顺序排列。若中断服务程序的执行时间为  $20\mu S$ ，根据下图所示时间轴给出的中断源请求中断的时刻，画出 CPU 执行程序的轨迹。

解：



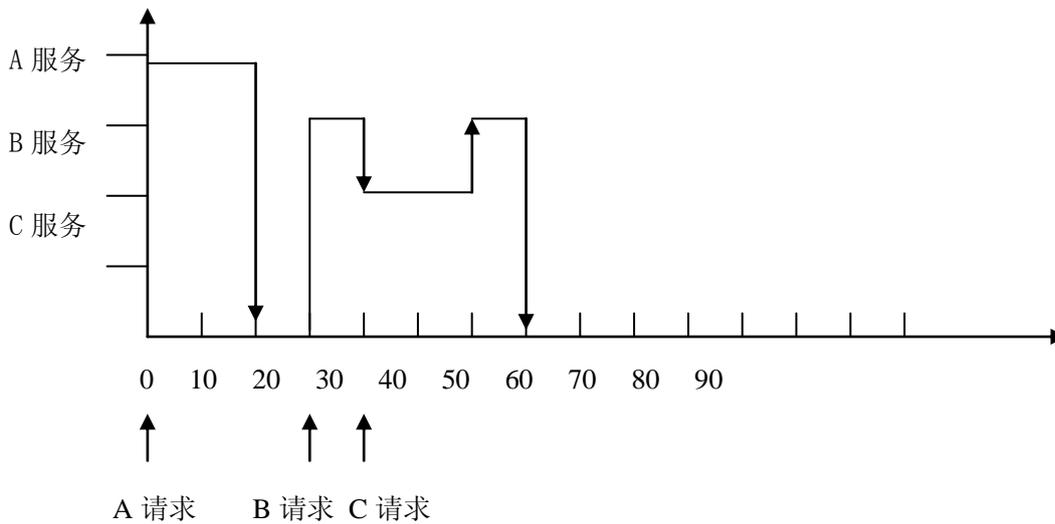
8.25 设某机有 5 个中断源 L0、L1、L2、L3、L4，按中断响应的优先次序由高到低排序为 L0、L1、L2、L3、L4，现要求中断处理次序改为 L1、L4、L2、L0、L3，根据下面的格式，写出各中断源的屏蔽字。

解：

| 中断源 | 原屏蔽字 |    |    |    |    | 新屏蔽字 |    |    |    |    |
|-----|------|----|----|----|----|------|----|----|----|----|
|     | L0   | L1 | L2 | L3 | L4 | L0   | L1 | L2 | L3 | L4 |
| L0  | 1    | 1  | 1  | 1  | 1  | 1    | 0  | 0  | 1  | 0  |
| L1  | 0    | 1  | 1  | 1  | 1  | 1    | 1  | 1  | 1  | 1  |
| L2  | 0    | 0  | 1  | 1  | 1  | 1    | 0  | 1  | 1  | 0  |
| L3  | 0    | 0  | 0  | 1  | 1  | 0    | 0  | 0  | 1  | 0  |
| L4  | 0    | 0  | 0  | 0  | 1  | 1    | 0  | 1  | 1  | 1  |

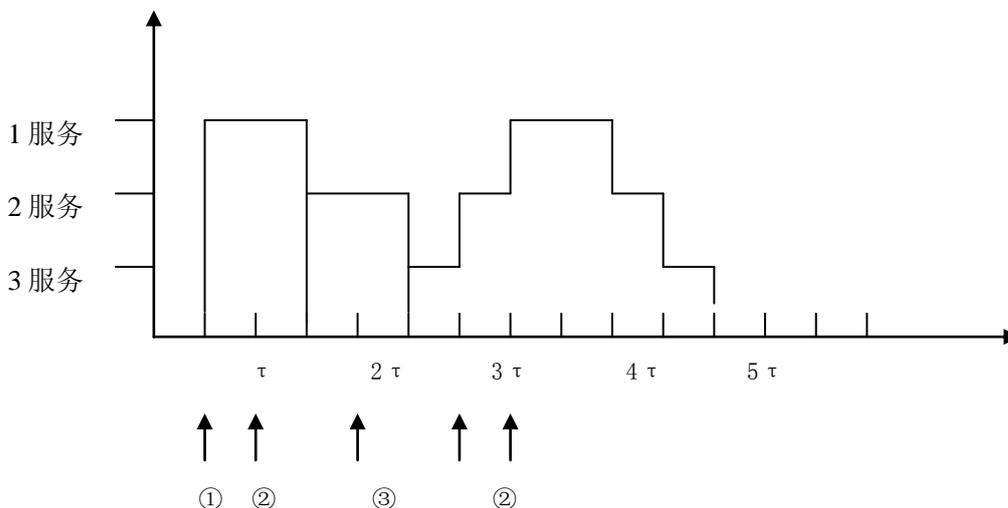
8.26 设某机配有 A、B、C 三台设备，其优先级按 A、B、C 降序排列，为改变中断处理次序，它们的最大屏蔽字设置如下：A (111)，B (010)，C (011)。按下图所示时间轴给出的设备请求中断的时刻，画出 CPU 执行程序的轨迹。设 A、B、C 设备中断服务程序的执行时间均为  $20\mu\text{s}$ 。

解：



8.27 设某机有 3 个中断源，其优先级按 1、2、3 降序排列，假设中断处理时间均为  $t$ ，在下图所示的时间内共发生 5 次中断请求，图中①表示 1 级中断源发出的中断请求信号，其余类推。画出 CPU 执行程序的轨迹。

解：



8.28、设某机有 4 个中断源，其响应优先级按 1、2、3、4 降序排列，现要求将中断处理次序改为 4、1、3、2。根据下图给出的 4 个中断源请求时刻，画出 CPU 执行程序的轨迹。设每个中断源的中断服务程序的执行时间均为  $20\mu S$ 。

解：

