

序号	题目
1	计算机地址总线的位数决定了该计算机内存空间的最大容量。
2	平台相关性是汇编语言的特点。
3	存储器是计算机系统中的记忆设备，它主要用来存放程序。
4	IEEE754 浮点标准的双精度编码共 48 位。
5	流水线技术可以减少每个运算结果的生成时间。
6	计算机数据总线的位数就是该计算机的字长。
7	平台相关性是高级语言的特点。
8	CPU 是计算机的核心部件，它主要用来生成各种控制命令。
9	IEEE754 浮点标准的双精度编码共 48 位。
10	DMA 控制器是控制内存与外设通信的软件。
11	主存容量是指主存中存放二进制代码的总位数。
12	运算速度的衡量指标 CPI 是程序执行的总周期数。
13	FLOPS 是程序执行的总周期数。
14	冯·诺依曼计算机以存储器为中心。
15	汇编程序不是翻译程序的一种。
16	冯·诺依曼计算机由运算器、控制器、存储器、输入设备和输出设备组成。
17	从冯·诺依曼体系结构角度看，CPU 由运算器和控制器组成。
18	指令在存储器中按顺序存放。
19	现代计算机是以运算器为中心。
20	冯·诺依曼计算机以运算器为中心。
21	现代计算机是以存储器为中心。
22	将高级语言程序翻译成机器语言程序的软件称为翻译程序。
23	翻译程序有编译程序和解释程序两种。
24	机器字长会影响计算机的运算速度。
25	机器字长是指计算机进行一次定点整数运算所能处理的二进制数据的位数。
26	存储单元：一般具有存储数据和读写数据的功能，每个单元有一个整数编码地址。
27	冯·诺依曼计算机以存储器为中心。
28	机器字长是指计算机进行一次运算所能处理的二进制数据的位数。
29	3. 存储单元：一般具有存储数据的功能，每个单元有一个整数编码地址。
30	机器字长是指 CPU 一次能处理数据的位数

31	Cache 的容量对 Cache 的效率有影响。
32	输入输出系统由 I/O 软件和 I/O 硬件组成。
33	I/O 地址码的不统一编址方式会占用主存的地址空间。
34	CISC 是指复杂指令系统计算机。
35	每一条机器指令由若干条微指令组成的微程序来解释执行。
36	存储器是计算机系统中的记忆设备，用于存放程序和数据。
37	I/O 指令是机器指令的一类。
38	I/O 地址码的统一编址方式不会占用主存的地址空间。
39	RISC 是指精简指令系统计算机。
40	每一条机器指令由一条微指令来解释执行。
41	Cache 的容量对 Cache 的效率无影响。
42	CPU 一般不采用查询方式与磁盘交换信息。
43	I/O 地址码的独立编址方式不会占用主存的地址空间。
44	RISC 主要特征之一是 CPU 中有少量通用寄存器。
45	Cache 的容量对 Cache 的效率有影响。
46	CPU 一般采用查询方式与磁盘交换信息。
47	I/O 地址码的统一编址方式不会占用主存的地址空间。
48	RISC 主要特征之一是指令长度不固定。
49	微指令通常存放在内存中。
50	假设 CPU 执行某段程序时，共访问 Cache 命中 190 次，访问主存 10 次，则 Cache—主存系统的命中率为 90%。
51	显示器和绘图仪是计算机系统的输入设备。
52	若 FDH 表示的是有符号数的补码，则其十进制真值为 -125。
53	对无符号数的移位称为算术移位。
54	若指令的操作码长度固定，占 10 位，则该机器最多包含 1000 条指令。
55	流水线的实际吞吐率总是小于其最大吞吐率。
56	计算机的运行速度完全取决于 CPU 的主频。主频越大，速度越快。
57	在设计组合逻辑控制单元时，所有微操作的顺序是不能改变的，所以安排微操作节拍时必须注意微操作的顺序。
58	假设 CPU 执行某段程序时，共访问 Cache 命中 180 次，访问主存 20 次。Cache 的存取周期为 40ns，主存的存取周期为 200ns。则 Cache—主存系统的平均访问时间为 60ns。
59	键盘和打印机是计算机系统的输入设备。
60	若某有符号数的原码编码为 11100011，则其十进制真值为-99。
61	对有符号数的移位称为逻辑移位。
62	符号“#”是直接寻址方式的特征标记。
63	流水线一旦建立，其各功能段的设备则一直处于工作状态。
64	计算机的机器周期等于时钟周期。
65	由于任何一条机器指令的取指令操作都相同，所以可以将取指令操作的命令统一编成一个微程序，这个微程序只负责将指令从主存单元中取出送至指令寄存器。

66	总线异步通信的应答方式只有不互锁和全互锁两种。
67	在异步串行传送系统中，字符格式为：1 个起始位，8 个数据位，1 个停止位。若要求每秒传送 200 个字符，则传送的波特率为 2000bps。
68	波特率是指单位时间内传送二进制数据的位数。
69	假设总线的时钟频率为 100MHz，一个总线周期等于二个时钟周期，则一个总线周期为 20ns。
70	总线宽度是指数据总线的位数。
71	总线宽度是指数据总线和地址总线的位数之和。
72	总线是连接多个设备的信息传输线。
73	总线是连接多个部件的信息传输线。
74	总线是各部件共享的传输介质。
75	系统总线分为数据总线、地址总线和控制总线三类。
76	波特率 bps 是指每秒传送二进制数据的位数。
77	波特率 Bps 是指每秒传送二进制数据的字节数。
78	波特率 bps 是指每秒传送二进制数据的字节数。
79	波特率 Bps 是指每秒传送二进制数据的位数。
80	数据总线是双向传输总线。
81	数据总线是单向传输总线。
82	地址总线是双向传输总线。
83	地址总线是单向传输总线。
84	多个部件共享总线进行数据传输时，需要争夺总线使用权。
85	在多个部件争夺总线使用权时，应按照申请总线使用权部件的优先级来解决。
86	同步通信的主要特征是通信双方由统一时标（同步时钟）控制数据传输。
87	异步通信采用应答方式协调数据传输。
88	总线判优控制分为集中式和分散式两种。
89	计算机的主存由 ROM 和 RAM 构成。
90	计算机的存储器由 ROM 和 RAM 构成。
91	ROM 指的是只读存储器。
92	RAM 指的是只读存储器。
93	ROM 指的是随机存取存储器。
94	RAM 指的是随机存取存储器。
95	存储系统层次结构主要体现在缓存-主存和主存-辅存两个存储层次上。
96	缓存-主存存储层次主要解决 CPU 和主存速度不匹配的问题。
97	缓存-主存存储层次主要解决缓存和主存速度不匹配的问题。
98	主存-辅存存储层次主要解决存储系统的容量问题。
99	主存-辅存存储层次主要解决主存和辅存的速度匹配问题。
100	从 CPU 角度看，缓存-主存存储层次的速度接近于缓存，高于主存。
101	从 CPU 角度看，缓存-主存存储层次的速度接近于主存。
102	从 CPU 角度看，缓存-主存存储层次的容量和价位接近于主存。
103	从 CPU 角度看，缓存-主存存储层次的容量和价位接近于缓存。

104	存储系统层次结构解决了速度、容量、成本三者的矛盾。
105	现代计算机几乎都具有缓存-主存和主存-辅存两个存储层次。
106	按存储信息原理得不同，随机存取存储器分为动态 RAM 和静态 RAM。
107	按存储信息原理得不同，随机存取存储器分为 RAM 和 ROM。
108	动态 RAM 需要刷新。
109	静态 RAM 需要刷新。
110	RAM 需要刷新。
111	Cache-主存地址映射主要有直接映射、全相联映射和组相联映射三种方式。
112	组相联映射方式是直接映射和全相联映射方式的折中。
113	计算机采用 Cache-主存存储层次后，CPU 先访问 Cache。
114	在 Cache-主存系统中，Cache 的容量远小于主存容量。
115	I/O 地址码的编址分为统一编址和独立编址两种。
116	统一编址就是将 I/O 地址看做是主存地址的一部分。
117	独立编址是指 I/O 地址和主存地址各自独立。
118	在独立编址的计算机中，所有对 I/O 设备的访问必须使用专用的 I/O 指令。
119	独立编址不占用主存空间。
120	独立编址占用主存空间。
121	统一编址不占用主存空间。
122	统一编址占用主存空间。
123	显示器、打印机、投影机都是输出设备。
124	键盘、鼠标、扫描仪都是输入设备。
125	凡能向 CPU 提出中断请求的各种因素统称为中断源。
126	通常，每个中断源都配有一个中断请求触发器和一个中断屏蔽触发器。
127	一个中断源的中断请求触发器为“1”时，表示该中断源提出了“中断请求”。
128	一个中断源的中断请求触发器为“0”时，表示该中断源提出了“中断请求”。
129	一个中断源的中断请求触发器为“1”时，表示该中断源没有提出“中断请求”。
130	一个中断源的中断请求触发器为“0”时，表示该中断源没有提出“中断请求”。
131	一个中断源的中断屏蔽触发器为“1”时，表示该中断源没有提出“中断请求”。
132	一个中断源的中断屏蔽触发器为“0”时，表示该中断源没有提出“中断请求”。
133	一个中断源的中断屏蔽触发器为“1”时，表示该中断源提出的“中断请求”不能被 CPU 接收到。
134	一个中断源的中断屏蔽触发器为“0”时，表示该中断源提出的“中断请求”不能被 CPU 接收到。
135	CPU 可以通过中断向量地址找到中断服务程序的入口地址。
136	中断向量地址和中断服务程序的入口地址没有区别。
137	多重中断和中断嵌套是一回事。
138	单重中断是指一个中断服务程序的执行不能被打断。
139	多重中断是指一个中断服务程序的执行可以被打断。
140	程序中中断方式能够中断程序的执行。

141	程序中断方式可以中断指令的执行。
142	DMA 方式可以中断指令的执行。
143	DMA 方式的优先级高于程序中断方式。
144	DMA 方式的优先级低于程序中断方式。
145	DMA 方式没有处理异常事件的能力。
146	DMA 方式依靠硬件传输数据。
147	DMA 方式依靠程序传输数据。
148	程序中断方式依靠硬件传输数据。
149	程序中断方式依靠程序传输数据。
150	程序中断方式需要保护现场。
151	DMA 方式需要保护现场。
152	DMA 方式不需要保护现场。
153	DMA 的传送过程包括预处理、数据传送和后处理。
154	DMA 的传送也需要争夺总线的使用权。
155	由于主存和 DMA 接口之间有一条数据通路,故 DMA 的传送不需要争夺总线的使用权。
156	虽然主存和 DMA 接口之间有一条数据通路,DMA 的传送也需要争夺总线的使用权。
157	8 位无符号数的表示范围是 0~255。
158	8 位无符号数的表示范围是 0~256。
159	16 位无符号数的表示范围是 0~65535。
160	16 位无符号数的表示范围是 0~65536。
161	8 位有符号数的表示范围是-127~+127。
162	8 位有符号数的表示范围是-127~+128。
163	8 位有符号数的表示范围是-128~+127。
164	8 位有符号数的表示范围是-128~+128。
165	16 位有符号数的表示范围是-32767~+32768。
166	16 位有符号数的表示范围是-32768~+32768。
167	16 位有符号数的表示范围是-32768~+32767。
168	16 位有符号数的表示范围是-32768~+32768。
169	在计算机中,浮点数的尾数必须是规格化或规范化的数。
170	浮点数的尾数一定是纯小数。
171	浮点数的尾数是整数。
172	浮点数的阶码一定是整数。
173	浮点数的阶码一定是实数。
174	正数的原码、反码和补码表示完全相同。
175	正数的原码、反码和补码表示是不同的。
176	负数的原码、反码和补码表示完全相同。
177	负数的原码、反码和补码表示是不同的。
178	在位数相同时,补码和移码表示只有符号位相反,其它相同。
179	正数的反码加 1 就是补码。
180	负数的反码加 1 就是补码。
181	在 IEEE754 标准中,尾数是规格化的数。

182	在 IEEE755 标准中，尾数是规范化的数。
183	在浮点数加减运算的对阶时，应该采用小阶向大阶看齐的原则。
184	在浮点数加减运算的对阶时，应该采用大阶向小阶看齐的原则。
185	操作码用来指明该指令所要完成的操作。
186	操作码用来指明该指令的寻址方式。
187	操作码的位数决定了机器允许的指令条数。
188	指令的地址码是无符号整数。
189	指令的地址码是正整数。
190	指令的地址码是整数。
191	立即寻址的特征是立即数在指令中。
192	立即寻址的特征是有效地址在指令中。
193	直接寻址的特征是有效地址在指令中。
194	直接寻址的操作数在指令中。
195	寄存器寻址是指操作数在寄存器中。
196	寄存器间接寻址是指操作数在寄存器中。
197	寄存器间接寻址是指寄存器中存放的数据是操作数的有效地址。
198	形式地址是有效地址时，其寻址方式为直接寻址。
199	形式地址是有效地址时，其寻址方式为间接寻址。
200	形式地址是有效地址时，其寻址方式为立即寻址。
201	通用寄存器是用户可见寄存器。
202	通用寄存器是用户不可见寄存器。
203	数据寄存器是用户可见寄存器。
204	数据寄存器是用户不可见寄存器。
205	地址寄存器是用户可见寄存器。
206	地址寄存器是用户不可见寄存器。
207	MAR 寄存器是用户可见寄存器。
208	MAR 寄存器是用户不可见寄存器。
209	MDR 寄存器是用户可见寄存器。
210	MDR 寄存器是用户不可见寄存器。
211	IR 寄存器是用户可见寄存器。
212	IR 寄存器是用户不可见寄存器。
213	每个指令周期中都包含一个取指周期。
214	每个指令周期中都包含一个执行周期。
215	每个指令周期中都包含一个间址周期。
216	每条指令执行结束后，CPU 都要查询是否有“中断请求”。
217	不同的指令其指令周期有可能不同。
218	处理优先级可由软件进行设置。
219	响应优先级可由软件进行设置。
220	不同的指令其指令周期一定不同。
221	打印机和扫描仪是计算机系统的输入设备。
222	通常，计算机中的定点有符号数都采用补码表示。
223	DMA 接口采用程序中断方式传送数据。
224	补码表示的数据，其符号位可作为数据位直接参与运算。

225	直接寻址的无条件转移指令的功能是将指令中的地址码送入 PC。
226	计算机的运行速度完全取决于 CPU 的主频。主频越大，速度越快。
227	微指令通常存放在控制存储器中。
228	打印机和扫描仪是计算机系统的输出设备。
229	在 IEEE 754 标准中，阶码采用移码表示。
230	DMA 接口不是采用程序中中断方式传送数据的。
231	原码表示的数据，其符号位可作为数据位直接参与运算。
232	一个节拍信号的宽度是指时钟周期。
233	计算机的机器周期等于时钟周期。
234	指令在存储器内顺序存放，所以指令的执行顺序都是顺序的。
235	缓存——主存层次主要解决存储系统的容量问题。
236	激光打印机属于计算机系统的输出设备。
237	输入数据时，输入缓冲器满表示 I/O 设备准备就绪。
238	寻址方式仅是指确定本条指令的数据地址的方法。
239	每一条机器指令由若干条微指令组成的微程序来解释执行。
240	处理优先级一般由硬件电路设置，不便于改动。
241	存储器是计算机系统中的记忆设备，用于存放程序和数据。
242	主存——辅存层次主要解决存储系统的速度问题。
243	条形码阅读器属于计算机系统的输出设备。
244	输出数据时，输出缓冲器空表示 I/O 设备准备就绪。
245	寻址方式仅是指确定下一条将要执行的指令地址的方法。
246	每一条机器指令由一条微指令来解释执行。
247	响应优先级是指 CPU 实际对各中断源请求的处理优先次序。
248	CD-ROM 属于计算机系统的输出设备。
249	硬盘属于计算机系统的输出设备。
250	主存容量是指主存中存放二进制代码的总位数。
251	指令在存储器内顺序存放，所以指令的执行顺序都是顺序的。
252	Cache 的容量对 Cache 的效率有影响。
253	缓存——主存层次主要解决存储系统的容量问题。
254	输入输出系统由 I/O 软件和 I/O 硬件组成。
255	激光打印机属于计算机系统的输出设备。
256	I/O 地址码的不统一编址方式会占用主存的地址空间。
257	输入数据时，输入缓冲器满表示 I/O 设备准备就绪。
258	CISC 是指复杂指令系统计算机。
259	寻址方式仅是指确定本条指令的数据地址的方法。
260	每一条机器指令由若干条微指令组成的微程序来解释执行。
261	处理优先级一般由硬件电路设置，不便于改动。
262	机器字长是指 CPU 一次能处理数据的位数。
263	典型的冯·诺依曼计算机是以存储器为中心的。
264	存储器是计算机系统中的记忆设备，用于存放程序和数据。
265	主存——辅存层次主要解决存储系统的速度问题。
266	I/O 指令是机器指令的一类。

267	条形码阅读器属于计算机系统的输出设备。
268	I/O 地址码的统一编址方式不会占用主存的地址空间。
269	输入数据时，输入缓冲器空表示 I/O 设备准备就绪。
270	RISC 是指精简指令系统计算机。
271	寻址方式仅是指确定下一条将要执行的指令地址的方法。
272	每一条机器指令由一条微指令来解释执行。
273	响应优先级是指 CPU 实际对各中断源请求的处理优先次序。
274	动态 RAM 需要刷新。
275	冯·诺依曼计算机由运算器、控制器、存储器、输入设备和输出设备组成。
276	RAM 指的是只读存储器。
277	从 CPU 角度看，缓存-主存存储层次的速度接近于主存。
278	单重中断是指一个中断服务程序的执行不能被打断。
279	CD-ROM 属于计算机系统的输出设备。
280	统一编址就是将 I/O 地址看做是主存地址的一部分。
281	程序中断方式依靠硬件传输数据。
282	操作码用来指明该指令所要完成的操作。
283	直接寻址的特征是有效地址在指令中。
284	微指令通常存放在内存中。
285	处理优先级可由软件进行设置。
286	静态 RAM 需要刷新。
287	指令在存储器内顺序存放，所以指令的执行顺序都是顺序的。
288	ROM 指的是随机存取存储器。
289	存储系统层次结构解决了速度、容量、成本三者的矛盾。
290	DMA 方式可以中断指令的执行。
291	硬盘属于计算机系统的输出设备。
292	独立编址是指 I/O 地址和主存地址各自独立。
293	凡能向 CPU 提出中断请求的各种因素统称为中断源。
294	操作码用来指明该指令的寻址方式。
295	寄存器间接寻址是指操作数在寄存器中。
296	微指令通常存放在控制存储器中。
297	响应优先级可由软件进行设置。