第五章 输入输出系统

作业：P212　5.1、5.3、5.6、5.8、5.10、5.11、5.13、5.14、5.15、5.16、5.17、5.19、5.20、5.21、5.22、5.23、5.26、5.27、5.28、5.31、5.32、5.35

5.1 I/O 设备有哪些编址方式？各有何特点？

答：

两种方式：统一编址和独立编址。

统一编址是将 I/O 地址作为存储器地址的一部分，对 I/O 设备的访问指令与存储器访问指令相似。

独立编址指 I/O 地址与存储器地址是分开的，所有对设备的访问指令必须是专有的 I/O 指令。

5.2 简要说明 CPU 与 I/O 之间传递信息可采用哪几种联络方式？它们分别用于什么场合？

答： CPU 与 I/O 之间传递信息常采用三种联络方式：直接控制（立即响应）、 同步、异步。 适用场合分别为：

直接控制适用于结构极简单、速度极慢的 I/O 设备，CPU 直接控制外设处于某种状态而无须联络信号。

同步方式采用统一的时标进行联络，适用于 CPU 与 I/O 速度差不大，近距离传送的场合。

异步方式采用应答机制进行联络，适用于 CPU 与 I/O 速度差较大、远距离传送的场合。

5.3 I/O 设备与主机交换信息是，共有哪几种控制方式？简述它们的特点。

答：

5.6 字符显示器的接口电路中配有缓冲存储器和只读存储器，各有何作用？

解：显示缓冲存储器的作用是支持屏幕扫描时的反复刷新；只读存储器作为字符发生器使用，他起着将字符的 ASCII 码转换为字形点阵信息的作用。

5.8 某计算机的 I/O 设备采用异步串行传送方式传送字符信息，其格式为 1 位起始位、7 位数据位、1 位校验位和 1 位停止位。若要求每秒传送 480 个字符，那么该设备的的数据传送速率是多少？

答：

一个字符的异步串行传送，除了字符本身外，需要有起始位和停止位作为分隔符，为保证准确传输，还需要传送校验位。这样，每个字符的传输需要传送 10 位。因此：

数据传送速率：480*10=4800bps。

5.10 什么是 I/O 接口？它与端口有何区别？为什么要设置 I/O 接口？I/O 接口如何分类？

答：

I/O 接口通常是指主机与 I/O 设备之间设置的一个硬件电路及其相应的软件控制。

通常，计算机要连接多个设备，设置 I/O 接口可解决如下问题：

①选择设备（可以看做设备寻址）

②速度匹配

③电平转换

④格式转换，等等。

I/O 接口的分类：

①按传输方式分：并行接口、串行接口

②按功能选择的灵活性分：可编程接口、不可编程接口

③按通用性分：通用接口、专用接口

④按传输控制分：程序型接口、DMA 接口

5.11 简述 I/O 接口的功能与基本组成。

答：

功能：选址、传送命令和数据、反应设备状态

组成：设备选择电路、命令寄存器、命令译码器、数据缓冲寄存器、设备状态标记

5.12 结合程序查询方式的接口电路，说明其工作过程。

解：程序查询接口工作过程如下（以输入为例）：

1）CPU 发 I/O 地址设备开始工作；地址总线→接口→设备选择器译码→选中→发 SEL 信号；

2）CPU 发启动命令 DBR→开命令接收门； → D 置 0，B 置 1 → 接口向设备发启动命令；

3）CPU 等待，输入设备读出数据；

4）外设工作完成，B 置 0，D 置 1；

5）准备就绪信号→接口→完成信号→控制总线→ CPU；

6）输入：CPU 通过输入指令（IN）将 DBR 中的数据取走。

若为输出，除数据传送方向相反以外，其他操作与输入类似。工作过程如下：

开命令接收门；→选中，发 SEL 信号→设备选择器译码→接口→地址总线→

1）CPU 发 I/O 地址

2）输出： CPU 通过输出指令（OUT）将数据放入接口 DBR 中；设备开始工作；→接口向设备发启动命令→ D 置 0，B 置 1 →

3）CPU 发启动命令

4）CPU 等待，输出设备将数据从 DBR 取走； B 置 0，D 置 1；→接口→

5）外设工作完成，完成信号 CPU，CPU 可通过指令再次向接口 DBR 输出数据，进行第二次传送。→控制总线→

6）准备就绪信号。

5.13 说明中断向量地址和入口地址的区别和联系。

答：

区别：

向量地址是硬件电路（向量编码器）产生的中断源的内存中断向量表表项地址编号。中断入口地址是中断服务程序的首地址。

联系：

向量地址可理解为入口地址的指示器（入口地址的地址），通过它可以访存以得到入口地址。（两种方法:①在向量地址单元中放一条 JMP 指令。②在主存中设地址表(由向量地址指向的区域))。

5.14 在什么条件下，I/O 设备可以向 CPU 提出中断请求？

答：

I/O 设备向 CPU 提出中断请求的条件是：

I/O 接口中的设备工作完成状态为“1”（D=1），中断屏蔽码为“0”（MASK=0），且 CPU 查询中断

时，中断请求触发器状态为“1”（INTR=1）。

5.15 什么是中断允许触发器？它有什么作用？

答：

中断允许触发器是 CPU 中断系统的一个部件，它起着开关中断的作用（即中断总开关，而中断屏蔽触发器可视为中断的分开关）。

5.16 在什么条件下和什么时间，CPU 可以响应 I/O 的中断请求？

答：

CPU 响应 I/O 的中断请求条件和时间是：

当中断允许状态为“1”（EINT=1），且至少有一个“请求”被查到，则在一条指令执行结束时，CPU 响应中断。

5.17 某系统对输入数据进行取样处理，每抽取一个输入数据，CPU 就要中断处理一次，将取样数据存入主存的缓冲区，一次中断处理需要 P 秒。此外，缓冲区内每存 N 个数据，主程序就要将其取出进行处理，这个处理需要 Q 秒。试问：该程序可以跟踪到每秒多少次中断请求？

答：

这是一个求“中断饱和度”的问题，需要注意的是，主程序对数据的处理不是中断处理，故 Q 秒不能算在中断次数内。

N 个数据处理时间=取 N 个数据的时间+处理 N 个数据的时间=N*P+Q

平均每个数据的处理时间=（N*P+Q）/N，其倒数则为平均每秒可处理数据的个数，也即为平均每秒可处理的中断请求次数：N/（N*P+Q）。

5.19 在程序中断方式中，磁盘申请中断的优先权高于打印机。当打印机正在工作时，磁盘申请中断。试问：是否要将打印机输出停下来？等待磁盘操作结束后，打印机输出才能继续进行？为什么？

答：这是一个多重中断问题。由于磁盘的优先权高于打印机，因此，应将打印机输出停下来。等待磁盘操作结束后，再行打印输出。而打印机速度慢于磁盘，且暂停打印不会造成数据丢失。

5.20 试比较单重中断和多重中断服务程序的处理流程，说明它们的不同原因。

答：

比较单重中断和多重中断服务程序的处理流程，可以发现其区别在于“开中断”的设置时间不同。

对单重中断，“开中断”指令设在最后“中断返回”前，这意味着在整个中断服务处理过程中，不能再响应其它中断源的“中断请求”。

对多重中断，“开中断”指令提前至“保护现场”之后，意味着在“保护现场”后，若有更高级别的中断源发出“中断请求”（这是多重中断的必要条件），CPU 可以响应，即再次中断现行的服务程序，转至新的中断服务程序，这是单重中断和多重中断的主要区别。

5.21 中断向量通过什么总线送至什么地方？为什么？

答：

中断向量通过 DB（数据总线）送至 CPU，更具体地说是 CPU 中的 PC。

其原因是：要通过中断向量寻找设备的中断服务程序入口地址。中断响应阶段将形成的向量地址（即中断向量）送至 PC，以作为要执行的下一条指令的地址，以此转至执行中断服务程序。

5.22 程序查询方式和程序中断方式都是通过“程序”传送数据，两者的区别是什么？

答：

程序查询：

通过“程序”传送数据时，程序对 I/O 的控制包括“I/O 准备”和“I/O 传送”两段时间，由于 I/O 的速度远低于 CPU，则程序要反复询问 I/O 状态，造成“踏步等待”，严重浪费了 CPU 的工作时间。

程序中断方式：虽然也是通过“程序”传送数据，但程序仅对“I/O 传送”阶段进行控制，无需查询“I/O 状态”。故此，CPU 照样运行原（主）程序，与 i/o 并行工作，大大提高了 CPU 的效率。

5.23 调用中断服务程序和调用子程序有什么区别？

答：调用中断服务程序是随机的，只要满足中断响应条件就可以调用；而子程序的调用位置是固定的。

5.26 什么是多重中断？实现多重中断的必要条件是什么？

解：多重中断是指：当 CPU 执行某个中断服务程序的过程中，发生了更高级、更紧迫的事件，CPU 暂停现行中断服务程序的执行，转去处理该事件的中断，处理完返回现行中断服务程序继续执行的过程。

实现多重中断的必要条件是：在现行中断服务期间，中断允许触发器为 1，即开中断。

5.27 DMA 方式有何特点？什么样的 I/O 设备与主机交换信息时采用 DMA 方式，举例说明。

答：

特点：数据传送不经过 CPU，靠硬件传送数据，可以在指令周期的任意存取周期结束时响应，没有处理异常事件的能力，不需要保护现场。

与主机交换信息时采用 DMA 方式的 I/O 设备一般是高速的外设，如磁盘。

5.28 CPU 对 DMA 请求和中断请求的响应时间是否一样？为什么？

解： CPU 对 DMA 请求和中断请求的响应时间不一样，因为两种方式的交换速度相差很大，因此 CPU 必须以更短的时间间隔查询并响应 DMA 请求。响应中断请求是在每条指令执行周期结束的时刻，而响应 DMA 请求是在存取周期结束的时刻。

中断方式是程序切换，而程序又是由指令组成，所以必须在一条指令执行完毕才能响应中断请求，而且 CPU 只有在每条指令执行周期结束的时刻才发出查询信号，以获取中断请求信号，若此时条件满足，便能响应中断请求。

DMA 请求是由 DMA 接口根据设备的工作状态向 CPU 申请占用总线，此时只要总线未被 CPU 占用，即可立即响应 DMA 请求；若总线正被 CPU 占用，则必须等待该存取周期结束时，CPU 才交出总线的使用权。

5.31 假设某设备向 CPU 发信息的最高频率为 40000 次/秒，而相应中断处理程序的执行时间为 40μS，试问：该外设是否可用程序中断方式与主机交换信息？为什么？

答：

该设备向 CPU 传送信息的最短时间为：$1/40000=0.025*10^{-3}S=25\mu S<40\mu S$。

因此，该外设不能用程序中断方式与主机交换信息。原因是：中断处理程序的运行速度慢于外设的信息交换速度。

举例说明：

假设初始 CPU 空闲，当 I/O 将第一个数据放入接口的数据缓存寄存器中后，向 CPU 发“请求”，CPU 响应。

I/O 设备经 25μS 后，又向 CPU 发第二个“请求”，此时，CPU 正在执行中断处理程序接收第一个数据，40μS 后方能响应。

第 50μS 时，I/O 设备又向 CPU 发第三个“请求”， 此时，CPU 正在执行中断处理程序接收第二个数据，第 75μS 时，I/O 设备又向 CPU 发第四个“请求”。但此时，第三个“请求”还没有被响应，则放在缓存寄存器中第三个数据来不及被接收，就被第四个数据覆盖了。

5.32 设磁盘存储器转速为 3000 转/分，分 8 个扇区，每扇区存储 1K 字节，主存与磁盘存储器数据传送的宽度为 16 位（即每次传送 16 位）。假设一条指令最长执行时间是 25μs，是否可采用一条指令执行结束时响应 DMA 请求的方案，为什么？若不行，应采取什么方案？

解：

先算出磁盘传送速度，然后和指令执行速度进行比较得出结论。

道容量= 1K ×8 ×8 位= 8KB = 4K 字

数传率=4K 字×3000 转/分=4K 字×50 转/秒 =200K 字/秒

一个字的传送时间=1/200K 秒≈ 5μs （注：在此 1K=1024，来自数据块单位缩写。）

因为 5 μs<<25μs，所以不能采用一条指令执行结束响应 DMA 请求的方案，应采取每个 CPU 机器周期末查询及响应 DMA 请求的方案（通常安排 CPU 机器周期=MM 存取周期）。

5.33 试从下面七个方面比较程序查询、程序中断和 DMA 三种方式的综合性能。

（1）数据传送依赖软件还是硬件。

（2）传送数据的基本单位。

（3）并行性。

（4）主动性。

（5）传输速度。

（6）经济性。

（7）应用对象。

解：比较如下：

（1）程序查询、程序中断方式的数据传送主要依赖软件，DMA 主要依赖硬件。 （注意：这里指主要的趋势）

（2）程序查询、程序中断传送数据的基本单位为字或字节，DMA 为数据块。

（3）程序查询方式传送时，CPU 与 I/O 设备串行工作；程序中断方式时，CPU 与 I/O 设备并行工作，现行程序与 I/O 传送串行进行；DMA 方式时，CPU 与 I/O 设备并行工作，现行程序与 I/O 传送并行进行。

（4）程序查询方式时，CPU 主动查询 I/O 设备状态；程序中断及 DMA 方式时，CPU 被动接受 I/O 中断请求或 DMA 请求。

（5）程序中断方式由于软件额外开销时间比较大，因此传输速度最慢；程序查询方式软件额外开销时间基本没有，因此传输速度比中断快；DMA 方式基本由硬件实现传送，因此速度最快；

注意：程序中断方式虽然 CPU 运行效率比程序查询高，但传输速度却比程序查询慢。

（6）程序查询接口硬件结构最简单，因此最经济；程序中断接口硬件结构稍微复杂一些，因此较经济；DMA 控制器硬件结构最复杂，因此成本最高；

（7）程序中断方式适用于中、低速设备的 I/O 交换；程序查询方式适用于中、低速实时处理过

程；DMA 方式适用于高速设备的 I/O 交换；

讨论：

问题 1：这里的传送速度指 I/O 设备与主存间，还是 I/O 与 CPU 之间？

答：视具体传送方式而定，程序查询、程序中断为 I/O 与 CPU 之间交换，DMA 为 I/O 与主存间交换。

问题 2：主动性应以 CPU 的操作方式看，而不是以 I/O 的操作方式看。

5.35 试从五个方面比较，程序中断方式和 DMA 方式的区别。

答：

① 从数据传送看，程序中断方式靠程序传送，DMA 靠硬件传送。

② 从响应时间看，程序中断方式是在一条指令执行结束时响应，而 DMA 方式可在指令周期内的任一存取周期结束时响应。

③ 程序中断方式有异常事件的处理能力，而 DMA 方式无此能力。

④ 程序中断方式需要中断现行程序的执行，因此要“保护现场”，而 DMA 方式无需中断现行程序的执行，因此无需“保护现场”。

⑤ DMA 的优先级高于程序中断方式。

补充题：

一、某 CRT 显示器可显示 64 种 ASCII 字符，每帧可显示 72 字×24 排；每个字符字形采用 7×8 点阵，即横向 7 点，字间间隔 1 点，纵向 8 点，排间间隔 6 点；帧频 50Hz，采取逐行扫描方式。假设不考虑屏幕四边的失真问题，且行回扫和帧回扫均占扫描时间的 20%，问：

1）显存容量至少有多大？

2）字符发生器（ROM）容量至少有多大？

3）显存中存放的是那种信息？

4）显存地址与屏幕显示位置如何对应？

5）设置哪些计数器以控制显存访问与屏幕扫描之间的同步？它们的模各是多少？

6）点时钟频率为多少？

解：1）显存最小容量=72×24×8 =1728B

2）ROM 最小容量=64×8 行×8 列= 512B（含字间隔 1 点）

3）显存中存放的是 ASCII 码信息。

4）显存每个地址对应一个字符显示位置，显示位置自左至右，从上到下，分别对应缓存地址由低到高。

5）设置点计数器、字计数器、行计数器、排计数器控制显存访问与屏幕扫描之间的同步。

它们的模计算如下：

点计数器模 = 7+1 = 8

行计数器模 = 8 + 6 = 14

字、排计数器的模不仅与扫描正程时间有关，而且与扫描逆程时间有关，因此计算较为复杂。

列方程： （72+x）× 0.8 = 72

（24+y）× 0.8 = 24

解方程得：x = 18，y = 6，则：

字计数器模 = 72 + 18 = 90

排计数器模 = 24 + 6 = 30

6）点频 = 50Hz × 30 排 × 14 行 × 90 字 × 8 点 = 15 120 000Hz= 15.12MHz

二、有一编码键盘，其键阵列为 8 行×16 列，分别对应 128 种 ASCII 码字符，采用硬件扫描方式确认按键信号，问：

1）扫描计数器应为多少位？

2）ROM 容量为多大？

3）若行、列号均从 0 开始编排，则当第 5 行第 7 列的键表示字母“F”时，CPU 从键盘读入的二进制编码应为多少（设采用奇校验）？

4）参考教材图 5.15，画出该键盘的原理性逻辑框图；

5）如果不考虑校验技术，此时 ROM 是否可省？

解：1）扫描计数器 = 7 位（与键的个数有关）

2）ROM 容量 = 128 × 8 = 128B（与字符集大小有关）

3）CPU 从键盘读入的应为字符“F”的 ASCII 码 = 01000110 （46H） ，其中最高位为奇校验位（注：不是位置码）。

4）该键盘的原理性逻辑框图见下页，与教材图 5.15 类似，主要需标明参数。

5）如果不考虑校验技术，并按 ASCII 码位序设计键阵列（注意） ，则 ROM 编码表可省，此时 7 位计数器输出值（扫描码或键位置码）即为 ASCII 码。

三、一针式打印机采用 7 列×9 行点阵打印字符，每行可打印 132 个字符，共有 96 种可打印字符，用带偶校验位的 ASCII 码表示。问：

1）打印缓存容量至少有多大？

2）字符发生器容量至少有多大？

3）列计数器应有多少位？

4）缓存地址计数器应有多少位？

解：1）打印缓存最小容量 = 132×8= 132B（考虑偶校验位）

2）ROM 最小容量 = 96×7 列×9 行= 672×9 位

3）列计数器 = 3 位（7 列向上取 2 的幂）

4）缓存地址计数器 = 8 位（132 向上取 2 的幂）

讨论：

1．由于针打是按列打印，所以 ROM 一个存储单元中存一列的 9 个点，则容量为 672×9 位；

2．列计数器是对列号进行计数，所以模=7，3 位（模不等于位数）；

3．同样缓存地址计数器模=132，8 位。

P193 例 5.1　在程序查询方式的输入输出系统中，假设不考虑处理时间，每次查询操作需要 100 个时钟周期，CPU 的时钟频率为 50MHz，现有鼠标和键盘两个设备，而且 CPU 必须每秒对鼠标进行 30 次查询，硬盘以 32 位字长为单位传输数据，即每 32 位被 CPU 查询一次，传输率为 2MBps。求 CPU 对这两个设备查询所花费的时间比例，由此可得出什么结论。

答：

在每秒内，CPU 对鼠标进行 30 次查询所需时钟周期数为：100*30=3000

而 CPU 的时钟频率为 50MHz，即每秒 $50*10^6$ 个时钟周期，因此，对鼠标查询占用 CPU 时间比例为：$3000/(50*10^6)=0.006\%$。由此可见，对鼠标查询基本不影响 CPU 性能。

对于硬盘，传输率为 2MBps，CPU 查询一次传输数据 32 位，故每秒查询（传输）次数为：

2 MBps/(32/8)=512K 次=512*1024=524288 次，每次 100 个时钟周期。因此，对硬盘查询占用 CPU 时间比例为：$524288*100/(50*10^6)=104.86\%$。由此可见，即使把 CPU 的区别时间都用于硬盘的查询也不能满足磁盘传输数据的要求，故不能采用中断方式传输硬盘数据。

P197 例 5.2　现有 3 个设备 A、B、C，它们的优先级按降序排列。此 3 个设备的向量地址分别是 001010、001011、001100. 设计一个链式排队线路和产生 3 个向量地址的设备编码器。

答：

若要能够解答此题，必须先理解 P196 的图 5.38。

P208 例 5.3　一个 DMA 接口可采用周期窃取方式把字符传送到存储器，它支持的最大批量为 400 字节。若存取周期为 100ns，每处理一次中断需要 5μS，现有字符设备的传输率为 9600bps。假设字符之间的传输是无间隙的，若忽略预处理所需时间，试问采用 DMA 方式每秒因数据传输需占用处理器多少时间？如果完全采用中断方式，又需占用处理器多少时间？

答：

∵字符设备的传输率为 9600bps，∴字符设备每秒传送 9600/8=1200B（按并行传输处理，不考虑串行传输）。

若采用 DMA,传输 1200B 需要 1200 个存取周期，每传送 400B 需要 CPU 处理中断一次，因此，采用 DMA 方式传送数据所占用 CPU 处理时间为：

100ns*1200+5μS*（1200/400）=135μS。

若完全采用中断方式，传送 1200B 数据所占用 CPU 处理时间为：

5μS*1200=6000μS。

P208 例 5.4　假设磁盘采用 DMA 方式与主机交换信息，其传输速率为 2MBps，而且 DMA 的预处理需要 1000 个时钟周期，后处理中断需要 500 个时钟周期。如果平均传输的数据长度为 4KB，试问：在硬盘工作时，50MHz 的处理器需用多少时间比率进行 DMA 辅助操作（即预处理和后处理）？

答：

∵传输速率为 2MBps，每传输 4KB 需要时间：4KB/2MBps=1/512S，也可视为每秒最多可传输 4KB 包的数据最多 512 次（忽略预处理和后处理时间）。也可看成将 1S 传输 2MB 细分成 512 段，每段传输 4KB。

而每传输 4KB 都需要进行预处理和后处理，因此共需要：1500 个时钟周期

这样，每秒需要 512 次预处理和后处理，共需要：1500*512=768000 个时钟周期

50MHz 的处理器进行 DMA 辅助操作需用时间比率为：

$768000/(50*10^6)=1.536\%$。

精确计算：

每传输 4KB 需要时钟周期数：$50*10^6*(1/512)\approx 97656$

每传输 4KB 需要一次预处理和后处理，所需时钟周期数：1500

共需要时钟：97656+1500=99156 个周期。

这样，每秒可完整传输 4KB 数据次数：$50*10^6/99156=504$ 次（取整）

504 次预处理和后处理操作需用时间比率为：

$504*1500/(50*10^6)=756000/(50*10^6)=1.512\%$。